

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-142736

(P2001-142736A)

(43) 公開日 平成13年5月25日 (2001.5.25)

(51) Int.Cl. ⁷	識別記号	F I	キーワード* (参考)
G 0 6 F 11/22	3 6 C	G 0 6 F 11/22	3 6 0 P 2 G 0 3 2
G 0 1 R 31/28		G 0 1 R 31/28	V 5 B 0 4 8
H 0 1 L 27/04			G 5 F 0 3 8
21/822		H 0 1 L 27/04	T

審査請求 未請求 請求項の数 6 O L (全 8 頁)

(21) 出願番号 特願平11-326288

(22) 出願日 平成11年11月17日 (1999. 11. 17)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 池谷 豊人

東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内

(72) 発明者 川島 正敏

東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内

(74) 代理人 100080001

弁理士 筒井 大和

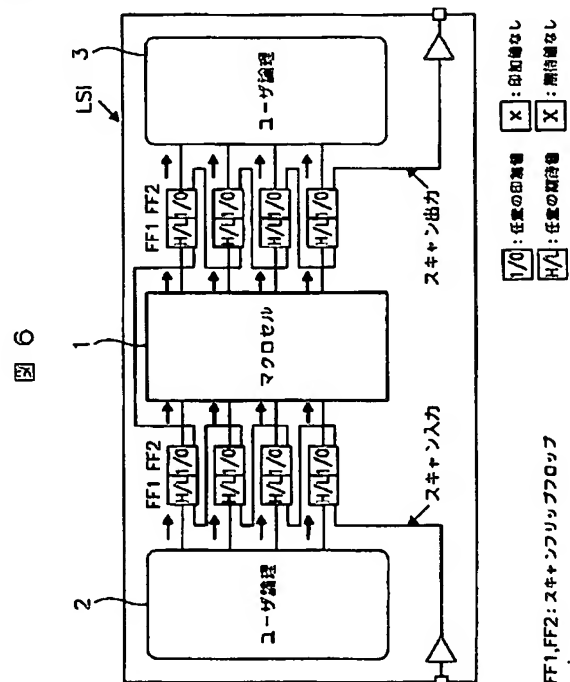
最終頁に続く

(54) 【発明の名称】 テスト容易化回路およびそれを有した半導体装置

(57) 【要約】

【課題】 マクロセルの機能テストとユーザ論理のスカンテストを同時に実行してテスト回路のオーバーヘッドを低減し、テスト時間を短縮することができるテスト容易化回路およびそれを有した半導体装置を提供する。

【解決手段】 ASIC、マイクロプロセッサ、またはその他のカスタムLSIであって、マクロセル1と、このマクロセル1の入力段、出力段にそれぞれ接続されたユーザ論理2、3などからなり、特にテスト容易化回路として、マクロセル1の入力/出力がダブルラッチ形式のスカンフリップフロップFF1、FF2からなり、スカンテストと機能テストは排他的に印加値と期待値を持つため、マクロセル1の機能テストを行うためのテストパターンと、ユーザ論理2、3のスカンテストを行うためのテストパターンとを合成して、マクロセル1とユーザ論理2、3とを同時にテストすることが可能な構成となっている。



【特許請求の範囲】

【請求項1】 マクロセルとユーザ論理とからなり、前記マクロセルの機能テストを行うためのテストパターンと、前記ユーザ論理のスキランテストを行うためのテストパターンとを保持するダブルラッチ形式のスキランフリップフロップ回路を有し、前記スキランフリップフロップ回路で前記マクロセルの入力/出力を構成し、前記マクロセルの機能テストを行うためのテストパターンと、前記ユーザ論理のスキランテストを行うためのテストパターンとを合成して、前記マクロセルと前記ユーザ論理とを同時にテスト可能とすることを特徴とするテスト容易化回路。

【請求項2】 請求項1記載のテスト容易化回路であって、前記マクロセルの機能テストにおいて、前記スキランフリップフロップ回路のスキランインよりデータを印加し、スキランアウトからデータを期待することにより、前記マクロセルの機能テストを前記スキランテストと同じタイミングで実行することを特徴とするテスト容易化回路。

【請求項3】 請求項2記載のテスト容易化回路であって、前記スキランテストによりデータ入力からデータ出力の不良を検出することを特徴とするテスト容易化回路。

【請求項4】 請求項1記載のテスト容易化回路であって、前記マクロセルの機能テストのクロック信号の入力において、前記スキランテストのデータ読み込みのためのクロック信号を印加することにより、前記スキランテストと同じタイミングで前記マクロセルの機能テストを実行することを特徴とするテスト容易化回路。

【請求項5】 請求項4記載のテスト容易化回路であって、前記マクロセルの機能テストのクロック信号を外部から印加することを特徴とするテスト容易化回路。

【請求項6】 請求項1、2、3、4または5記載のテスト容易化回路を用いた半導体装置であって、前記テスト容易化回路が内部回路に付加されていることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、LSIのテスト回路技術に関し、特にマクロセルの機能テストとユーザ論理のスキランテストを同時に実行可能なテスト容易化回路およびそれを用いた半導体装置に適用して有効な技術に関する。

【0002】

【従来の技術】 たとえば、本発明者が検討した技術として、高機能化・高集積化が進むLSIでは、その機能が複雑になるにつれてテスト効率が低下するため、これを防ぎ、高故障検出率のテストを実現するために、設計の初期段階からテストし易い仕組みをチップの内部に作り込むテスト容易化設計技術が必須となっている。

【0003】 このテスト容易化設計では、LSIの内部回路にテスト容易化回路が付加され、内部回路の状態の可制御性と可観測性を高めることにより、テストパターン生成コストの削減とテスト時間の短縮を実現している。代表的なテスト容易化設計方式としては、スキラン方式、BIST方式、クロスチェック方式、IDDQテスト方式などがある。

【0004】 たとえば、マクロセルを含むLSIのテストでは、マクロセルの機能テストとユーザ論理のスキランテストは別々にテストパターンを生成してテストを行う方法が採用されている。すなわち、マクロセルの機能テストは、専用のテスト回路を用いて個別にテストする方法が用いられている。

【0005】 なお、このようなLSIのテスト容易化設計に関する技術としては、たとえば平成9年5月30日、株式会社プレスジャーナル発行の「月刊 Semiconductor World 増刊号 ULSIテスト技術」に記載される技術などが挙げられる。

【0006】

【発明が解決しようとする課題】 ところで、前記のようなマクロセルを含むLSIのテスト技術について、本発明者が検討した結果、以下のようなことが明らかとなった。すなわち、マクロセルの機能テストとユーザ論理のスキランテストは別々にテストパターンを生成し、マクロセルの機能テストは専用のテスト回路を用いて個別にテストを行うために、テスト回路のオーバーヘッドが大きくなり、またテスト時間が増加することが考えられる。

【0007】 そこで、本発明の目的は、マクロセルの機能テストとユーザ論理のスキランテストにおいて、この2種類のテストを同時に実行してテスト回路のオーバーヘッドを低減し、テスト時間を短縮することができるテスト容易化回路およびそれを用いた半導体装置を提供するものである。

【0008】 本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0009】

【課題を解決するための手段】 本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0010】 すなわち、本発明によるテスト容易化回路は、マクロセルの機能テストを行うためのテストパターンと、ユーザ論理のスキランテストを行うためのテストパターンとを保持するダブルラッチ形式のスキランフリップフロップ回路を有し、このスキランフリップフロップ回路でマクロセルの入力/出力を構成し、マクロセルの機能テストパターンとユーザ論理のスキランテストパターンとを合成して同時にテストできるようにしたものである。

【0011】 この構成で通常信号を対象にした場合に

は、マクロセルの機能テストにおいて、スキャンフリップフロップ回路のスキャンインよりデータを印加し、スキャンアウトからデータを期待することにより、マクロセルの機能テストをスキャンテストと同じタイミングで実行するものである。さらには、スキャンテストによりデータ入力からデータ出力の不良を検出するようにしたものである。

【0012】さらに、クロック信号を対象にした場合には、マクロセルの機能テストのクロック信号の入力において、スキャンテストのデータ読み込みのためのクロック信号を印加することにより、スキャンテストと同じタイミングでマクロセルの機能テストを実行するものである。さらには、マクロセルの機能テストのクロック信号を外部から印加するようにしたものである。

【0013】また、本発明による半導体装置は、前記テスト容易化回路が内部回路に付加されているものである。

【0014】よって、前記テスト容易化回路、および半導体装置によれば、マクロセルの周辺をスキャンフリップフロップ回路で構成することにより、スキャンパスからパターンを印加できるため、テスト回路のオーバーヘッドを小さくすることができる。また、マクロセルで必要とするクロック系統をスキャンフリップフロップ回路のクロック信号で代用することで、クロック系のオーバーヘッドを低減することができる。さらに、スキャンテストのフローと同様にマクロセルの機能テストを制御することから、機能テストパターンとスキャンテストパターンを合成してテスト時間を短縮することができる。

【0015】

【発明の実施の形態】以下、本発明の実施の形態を図面に基いて詳細に説明する。図1は本発明の一実施の形態である半導体装置を示す概略機能ブロック図、図2は本実施の形態の半導体装置において、通常信号対象のスキャンフリップフロップ回路を示す機能ブロック図、図3はクロック信号対象のスキャンフリップフロップ回路を示す機能ブロック図、図4～図6はスキャンテスト、機能テストおよびその合成テストを説明するための概略機能ブロック図、図7、図8は通常信号、クロック信号対象の他のスキャンフリップフロップ回路を示す機能ブロック図である。

【0016】まず、図1により、本実施の形態の半導体装置の構成の一例を説明する。本実施の形態の半導体装置は、たとえばASIC、マイクロプロセッサ、またはその他のカスタムLSIとされ、マクロセル1と、このマクロセル1の入力段、出力段にそれぞれ接続されたユーザ論理2、3などからなり、特にテスト容易化回路として、マクロセル1の入力／出力が複数のスキャンフリップフロップ回路FFで構成されている。

【0017】このLSIでは、スキャンテストを行うことを前提とし、ユーザ論理2、3は複数のスキャンフリ

ップフロップ回路FFにより構成される。ユーザ論理2、3とマクロセル1を分離するために、特殊な構成のスキャンフリップフロップ回路FFを挿入するが、ユーザ論理2、3でマクロセル1の前後にスキャンフリップフロップ回路FFを接続していれば、特に追加する必要はない。

【0018】スキャンフリップフロップ回路FFは、マクロセル1の機能テストを行うためのテストパターンと、ユーザ論理2、3のスキャンテストを行うためのテストパターンとを保持するダブルラッチ形式のスキャンフリップフロップからなり、マクロセル1の機能テストを行うためのテストパターンと、ユーザ論理2、3のスキャンテストを行うためのテストパターンとを合成して、マクロセル1とユーザ論理2、3とを同時にテストすることが可能となっている。

【0019】このスキャンフリップフロップ回路FFは、たとえば通常信号を対象とした回路が図2に示すように、2個の縦続接続されたスキャンフリップフロップFF1、FF2と、1個のセクタSEL1などから構成されている。スキャンフリップフロップFF1は、入力データDIN、スキャン入力データSIDがそれぞれ入力され、スキャン用のクロック信号CLK、スキャンクロック信号SCK1により制御されて、スキャンフリップフロップFF2にデータが出力される。スキャンフリップフロップFF2は、スキャンフリップフロップFF1からのデータが入力され、スキャンクロック信号SCK2により制御されて、スキャン出力データSODが出力されるとともに、テストパスを経てセクタSEL1の一方にデータが出力される。セクタSEL1は、スキャンフリップフロップFF2からのテストパスによるデータが一方に入力されるとともに、通常パスによる直接の入力データDINが他方に入力され、テストイネーブル信号TEST-ENにより制御されて、出力データDOUTが出力される。セクタSEL1は、テストイネーブル信号TEST-ENが“0”のときに通常パスを選択し、“1”のときにテストパスを選択するように動作する。

【0020】すなわち、通常信号に対応する図2のようなスキャンフリップフロップ回路FFでは、通常のパスとテスト用のパスを切り替えるセクタSEL1を持ち、テストパスはダブルラッチタイプのスキャンフリップフロップFF1、FF2で構成される。スキャンクロック信号SCK1はスキャン入力データ端子(SID)からスキャンフリップフロップFF1にデータを印加するときに使用して、スキャンクロック信号SCK2はスキャンフリップフロップFF1からスキャンフリップフロップFF2へスキャンデータを転送してスキャン出力データ端子(SOD)に転送データを出力するときに使用する。これらのクロック信号SCK1、SCK2は、テストデータをスキャンフリップフロップFF1、FF

2に印加するときに使用する。スキャン用のクロック信号CCKは入力データ端子(DIN)からのデータを読み込み、テスト結果を保持するときに使用する。

【0021】また、スキャンフリップフロップ回路FFは、たとえばクロック信号を対象とした回路が図3に示すように、2個の縦続接続されたスキャンフリップフロップFF1、FF2と、1個の論理積ゲートAND1と、1個のセクタSEL1などから構成されている。前記図2との相違点は、スキャンフリップフロップFF1にスキャン用のクロック信号CCKが入力され、またスキャンフリップフロップFF2とセクタSEL1との間に論理積ゲートAND1が追加され、この論理積ゲートAND1の一方にスキャンフリップフロップFF2からのデータが入力され、他方に直接のスキャン用のクロック信号CCKが入力され、論理積処理して、テストパスを経てセクタSEL1の一方にデータが出力される。以降は同様に、セクタSEL1は、テストイネーブル信号TEST-ENが“0”のときに通常パスを選択し、“1”のときにテストパスを選択するように動作する。

【0022】すなわち、クロック信号に対応した図3のようなスキャンフリップフロップ回路FFでは、スキャンフリップフロップFF2の保持データを参照して、スキャン用のクロック信号CCKを出力データ端子(DOUT)へ出力する。スキャンフリップフロップFF2の内容が“1”であれば、マクロセル1にクロック信号CCKを印加する。クロック信号CCKを印加する必要がある、スキャンフリップフロップFF2に“0”が印加されるようにパターン生成すればよい。これによって、マクロセル1のクロック制御が可能となり、複数のクロック信号の入力を持つマクロセル1にも一律に対応することができる。

【0023】次に、本実施の形態の作用について、図4～図6により、ユーザ論理2、3のスキャンテスト、マクロセル1の機能テスト、およびそれらの合成テストの動作をそれぞれ説明する。

【0024】たとえば、本実施の形態のLSIにおいて、図4は、従来方法でユーザ論理2、3のスキャンテストを行うときの、テストパターンとスキャンフリップフロップFF1、FF2との対応を示している。このとき、マクロセル1は、印加値(x)と期待値(X)を持たない。ユーザ論理2、3に対する期待値(H/L)と印加値(1/0)を持つだけである。

【0025】このユーザ論理2、3のスキャンテストでは、ユーザ論理2、3に、入力側のスキャンフリップフロップFF2から任意の印加値(1/0)によるテストパターンを印加し、このテスト結果を出力側のフリップフロップFF1に任意の期待値(H/L)として出力する。そして、それぞれの期待値を比較し、一致(1→H, 0→L)／不一致(1→L, 0→H)を判定するこ

とにより、ユーザ論理2、3のスキャンテストが可能となる。

【0026】また、本実施の形態のLSIにおいて、図5は、従来方法でマクロセル1の機能テストを行うときの、テストパターンとスキャンフリップフロップFF1、FF2との対応を示している。このとき、前記図4の場合とは逆にマクロセル1に対してのみ期待値と印加値を持つ。

【0027】このマクロセル1の機能テストでは、マクロセル1に、入力側のスキャンフリップフロップFF2から任意の印加値によるテストパターンを印加し、このテスト結果を出力側のフリップフロップFF1に任意の期待値として出力する。そして、同様に、それぞれの期待値を比較し、一致／不一致を判定することにより、マクロセル1の機能テストが可能となる。

【0028】続いて、図6は、本実施の形態のLSIにおける、ユーザ論理2、3のスキャンテストと、マクロセル1の機能テストとを合成したテストを行うときの、それぞれのテストパターンを合成したときの対応を示している。前記図4、図5において、スキャンテストと機能テストは排他的に印加値と期待値を持つため、合成することができる。

【0029】このユーザ論理2、3のスキャンテストとマクロセル1の機能テストとの合成テストでは、以下のステップで順に行われる。

【0030】(1).ユーザ論理2、3に、このユーザ論理2、3の入力側のスキャンフリップフロップFF2から任意の印加値によるテストパターンを印加する。

【0031】(2).マクロセル1に、このマクロセル1の入力側のスキャンフリップフロップFF2から任意の印加値によるテストパターンを印加する。

【0032】(3).スキャン用のクロック信号CCKを印加する。

【0033】(4).ユーザ論理2、3の出力側のスキャンフリップフロップFF1にデータが入る。

【0034】(5).マクロセル1の出力側のスキャンフリップフロップFF1にデータが入る。

【0035】(6).シフトして、ユーザ論理2、3の出力側のスキャンフリップフロップFF1、マクロセル1の出力側のスキャンフリップフロップFF1のデータをスキャンアウトとする。

【0036】(7).マクロセル1のテスト結果を任意の期待値として出力する。

【0037】(8).ユーザ論理2、3のテスト結果を任意の期待値として出力する。

【0038】(9).それぞれの期待値を比較し、一致／不一致を判定することにより、ユーザ論理2、3のスキャンテストとマクロセル1の機能テストとの合成テストが可能となる。

【0039】従って、本実施の形態のLSIによれば、

テスト容易化回路として、マクロセル 1 の入力/出力がスキャンフリップフロップ回路 FF で構成されていることにより、スキャンパスからテストパターンを印加できるため、テスト回路のオーバーヘッドが小さくなる。また、マクロセル 1 で必要とするクロック系統をスキャンフリップフロップ回路 FF のクロック信号で代用することで、クロック系のオーバーヘッドを低減できる。さらに、スキャンテストの、スキャンイン→読み込み→スキャンアウトのフローと同様にマクロセル 1 の機能テストを制御できることから、機能テストパターンとスキャンテストパターンを合成してテスト時間を短縮できる。

【0040】また、本実施の形態の LSI においては、検出率を向上するために、たとえば前記図 2 に対して図 7 に示すように、通常信号対象のスキャンフリップフロップ回路 FF を構成することも可能である。前記のテスト回路は入力データ端子 (DIN) から出力データ端子 (DOU) の不良検出をユーザ機能テストでしか検出できないが、図 7 のスキャンフリップフロップ回路 FF の構成ではスキャンテストでテストできる。すなわち、このスキャンフリップフロップ回路 FF は、入力データ端子 (DIN) とスキャンフリップフロップ FF1 との間にセレクト SEL2 を追加し、テストイネーブル信号 TEST-EN2 で制御し、“0” のときに通常バースト、“1” のときにテストバスをそれぞれ選択するように動作するものである。

【0041】さらに、たとえば前記図 3 に対して図 8 に示すように、クロック信号をスキャンフリップフロップ FF1 のクロック信号 CLK でなく、外部の専用クロック信号 RAMCLK から印加できるようにすることも可能である。これは、スキャン用のクロック信号 CLK ではタイミングが合わないケースや、高精度なタイミングを設定したいケースで有用である。専用のクロック回路が必要であるため、テスト回路のオーバーヘッドが若干増える。また、前記のテストパターン合成を行うためには、専用クロック信号 RAMCLK をスキャンテストの対象外になるように工夫することが必要である。これは、テスト生成ツールに依存する。

【0042】以上、本発明者によってなされた発明をその実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0043】たとえば、前記実施の形態のような LSI において、前記図 2 に対してセレクト SEL1 を省略し、入力データ端子 (DIN) と出力データ端子 (DOU) との間にスキャンフリップフロップ FF1、FF2 のみを接続して、通常バスとテストバスとを共有して使用する構成とすることも可能である。さらに、マクロセル 1 などの回路をバウンダリスキャンでスキャン制御する構成とすることも可能である。

【0044】また、本発明は、ASIC、マイクロプロセッサ、その他のカスタム LSI に効果的であるが、さらに CAD ツール (スキャンテストと機能テストの合成) などにも応用することができる。

【0045】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0046】(1). マクロセルの周辺をスキャンフリップフロップ回路で構成することで、スキャンパスからパターンを印加することができるので、テスト回路のオーバーヘッドを低減することが可能となる。

【0047】(2). マクロセルで必要とするクロック系統をスキャンフリップフロップ回路のクロック信号で代用することができるので、クロック系のオーバーヘッドを低減することが可能となる。

【0048】(3). スキャンテストのフローと同様に、マクロセルの機能テストを制御することができるので、機能テストパターンとスキャンテストパターンとを合成してテスト時間を短縮することが可能となる。

【0049】(4). 前記 (1) ~ (3) により、テスト容易化回路の回路構成を簡素化することができるので、テスト容易化回路のオーバーヘッドを低減し、テスト時間を短縮できる半導体装置を実現することが可能となる。

【図面の簡単な説明】

【図 1】本発明の一実施の形態である半導体装置を示す概略機能ブロック図である。

【図 2】本発明の一実施の形態の半導体装置において、通常信号対象のスキャンフリップフロップ回路を示す機能ブロック図である。

【図 3】本発明の一実施の形態の半導体装置において、クロック信号対象のスキャンフリップフロップ回路を示す機能ブロック図である。

【図 4】本発明の一実施の形態の半導体装置において、スキャンテストを説明するための概略機能ブロック図である。

【図 5】本発明の一実施の形態の半導体装置において、機能テストを説明するための概略機能ブロック図である。

【図 6】本発明の一実施の形態の半導体装置において、スキャンテストと機能テストとの合成テストを説明するための概略機能ブロック図である。

【図 7】本発明の一実施の形態の半導体装置において、通常信号対象の他のスキャンフリップフロップ回路を示す機能ブロック図である。

【図 8】本発明の一実施の形態の半導体装置において、クロック信号対象の他のスキャンフリップフロップ回路を示す機能ブロック図である。

【符号の説明】

50 1 マクロセル

2, 3 ユーザ論理

SEL 1, SEL 2 セレクタ

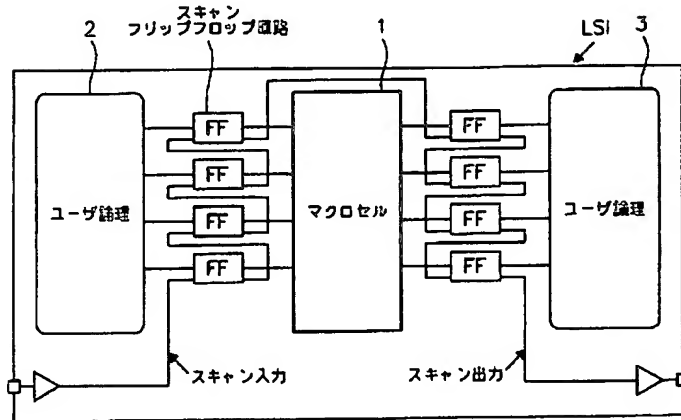
FF スキャンフリップフロップ回路

AND 1 論理積ゲート

FF 1, FF 2 スキャンフリップフロップ

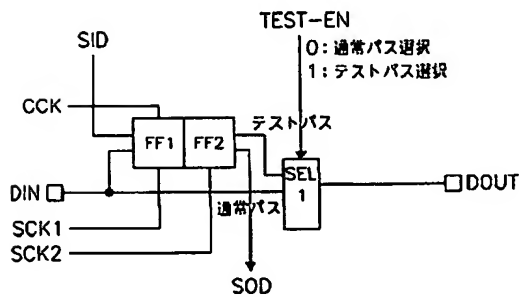
【図 1】

図 1



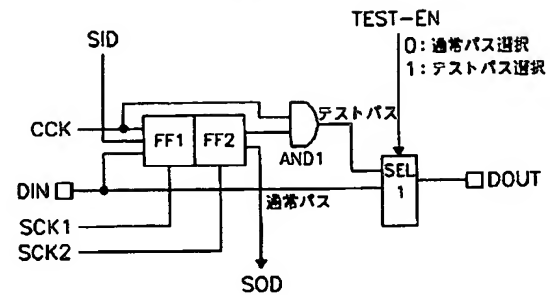
【図 2】

図 2



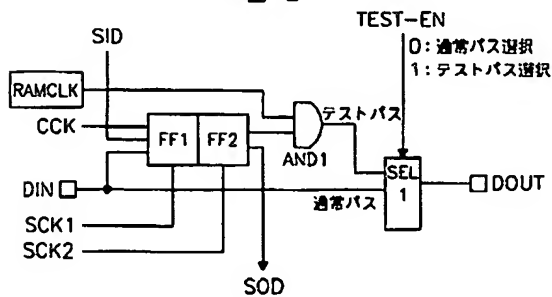
【図 3】

図 3



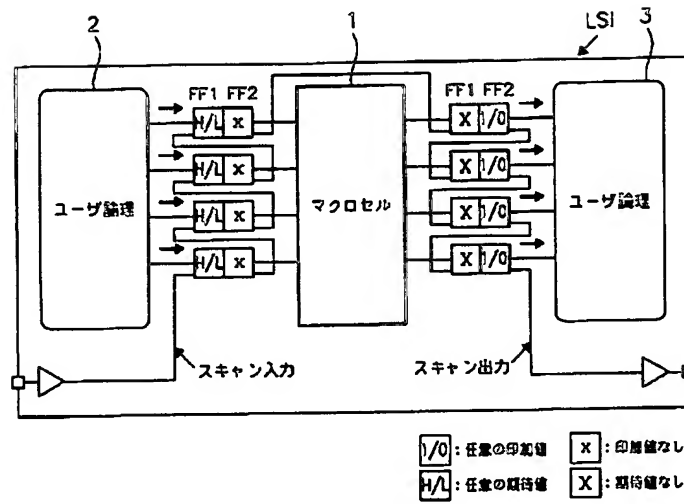
【図 8】

図 8



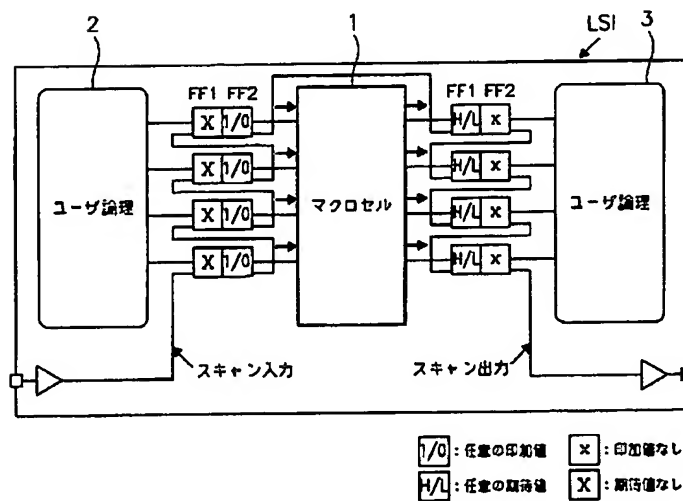
【図4】

図 4



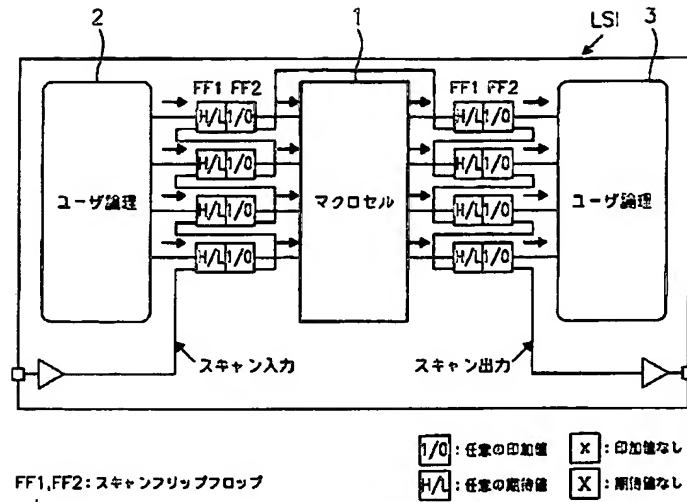
【図5】

図 5



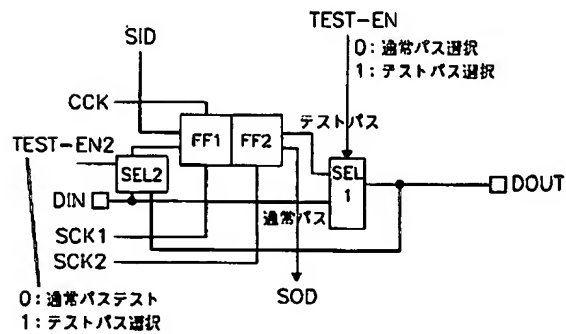
【図6】

図 6



【図7】

図 7



フロントページの続き

Fターム(参考) 2G032 AA00 AB01 AC10 AD05 AG01
AH03 AK16
5B048 AA20 CC02 CC18 DD05
5F038 DF04 DT03 DT06 DT07 DT16
EZ09 EZ20